

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-264748

(43)Date of publication of application : 22.11.1986

(51)Int.Cl.

H01L 27/04

(21)Application number : 60-106754

(71)Applicant : RICOH CO LTD

(22)Date of filing : 17.05.1985

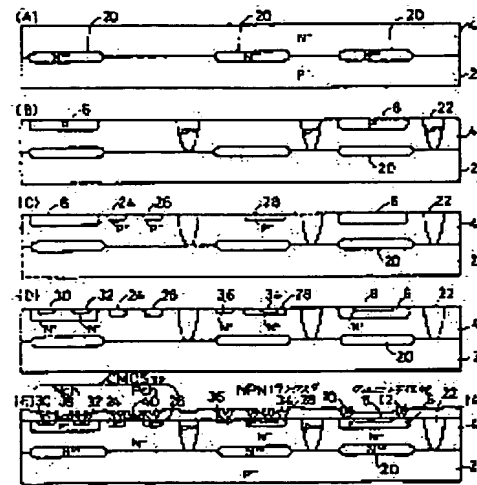
(72)Inventor : YOSHII KOJI

(54) SEMICONDUCTOR RESISTANCE ELEMENT USING WELL

(57)Abstract:

PURPOSE: To realize the high resistance value needed in an analogue circuit with a small pattern area and with relatively high accuracy by forming the diffusion layer of first conductive type which is shallower than a well in that well.

CONSTITUTION: An N⁺⁺ buried layer 20 is formed on a P⁻ silicon substrate 2 and an N⁻ epitaxial layer 4 is formed. A P⁺⁺ isolation region 22 is formed for isolating a CMOS part, an NPN transistor part, and a well pinch resistance part of the epitaxial layer 4 and boron as an impurity is diffused in the CMOS part and the well pinch resistance part so as to form a well 6. Next, for the source and drain 24 and 26 used for a P-channel MOS transistor of the CMOS part and a base 28 of the NPN transistor part, boron as an impurity is diffused. Then, for the source and drain 30 and 32 used for a N-channel MOS transistor of the CMOS part, an emitter 34 of the NPN transistor part, a collector contact 36 and a diffusion layer 8 of the well pinch resistance part, phosphorus as an impurity is diffused.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-264748

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)11月22日

H 01 L 27/04

R-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 ウエルを用いた半導体抵抗素子

⑯ 特 願 昭60-106754

⑰ 出 願 昭60(1985)5月17日

⑱ 発 明 者 吉 井 宏 治 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 出 願 人 株式会社リコー 東京都大田区中馬込1丁目3番6号
⑳ 代 理 人 弁理士 野口 繁雄

明 細 書

1. 発明の名称

ウエルを用いた半導体抵抗素子

2. 特許請求の範囲

(1) 第1導電型のエピタキシャル層又は基板に第1導電型と反対の第2導電型拡散層にてなるウエルが形成されており、かつ、

このウエルにこのウエルよりも浅い第1導電型の拡散層が形成されており、

この第1導電型の拡散層と前記エピタキシャル層又は基板とで挟まれたウエルを抵抗チャネルとする半導体抵抗素子。

3. 発明の詳細な説明

(技術分野)

本発明は、LSIなどのIC(半導体集積回路)において拡散層により形成される抵抗素子に関するものである。

(従来技術)

近年、アナログ回路とデジタル回路の混在する回路システムを1チップに集積化しようとする試

みが数多くなされている。その一つとして開発された所謂Bi-CMOSプロセスは、バイポーラトランジスタとCMOSを同一のチップ上に構成できるという特徴を持っている。

このBi-CMOSにおいては、CMOSデジタル回路の高速、高集積化の追求と同時に、バイポーラ・アナログ回路の高精度、高集積化などの要求が高まってきた。そのような要求を満たすためには、アナログ回路のパターン設計において回路中の抵抗を目的に応じていかに実現するかという一つの重要な問題がある。

ICにおいて拡散層により形成される抵抗素子としては、

(1) バイポーラトランジスタプロセスでベース領域の形成時に同時に形成される拡散領域を抵抗チャネルとするベース抵抗。

(2) CMOSプロセスでウエル領域の形成時に同時に形成される拡散領域を抵抗チャネルとするウエル抵抗、及び

(3) ベース領域と同じ第1導電型の拡散領域に、

その拡散領域よりも浅い反対導電型の拡散領域を形成し、第1導電型の拡散領域を抵抗チャネルとするベースピンチ抵抗、が知られている。

しかし、ベース抵抗とウエル抵抗は層抵抗値が小さく、高抵抗値を実現するには広大な面積を必要とし、またベースピンチ抵抗は層抵抗値が高い利点を有する反面、精度が悪く、印加電圧依存性が大きく、さらには耐圧が低いという問題がある。
(目的)

本発明の目的は、アナログ回路においてしばしば必要となる高抵抗値をパターン面積を小さく、かつ、比較的精度よく実現するための抵抗素子を提供することを目的とするものである。

(構成)

本発明の抵抗素子はウエルピンチ抵抗であり、第1導電型のエピタキシャル層又は基板に第1導電型と反対の第2導電型拡散層にてなるウエルが形成されており、かつ、このウエルにこのウエルよりも浅い第1導電型の拡散層が形成されており、この第1導電型の拡散層と前記エピタキシャル層

又は基板とで挟まれたウエルを抵抗チャネルとするものである。

以下、実施例について具体的に説明する。

第1図(A)は一実施例を両端子を通る平面で切断した断面図、同図(B)は同実施例の拡散領域を示す平面図である。

2はP⁺シリコン基板で、4はそのシリコン基板2上に形成されたN⁻エピタキシャル層である。

6はエピタキシャル層4に形成されたP拡散層にてなるウエルであり、同図(B)に示されるように幅が狭く、長さが長く形成されている。8はN⁺拡散層であり、拡散層8はウエル6よりも浅く、また同図(B)に示されるように、ウエル6を横切るように形成されている。拡散層8によりウエル6の厚さが薄くなっている。

10、12はウエル6を抵抗チャネルとして使用するために設けられた端子、14は絶縁層である。

本実施例のウエルピンチ抵抗を、バイポーラトランジスタとCMOSとを混載したBi-CMO

Sの製造プロセスにおいて製造する方法を第2図(A)～(E)により説明する。

P⁺シリコン基板2上にN⁺埋込み層20を形成し、N⁻エピタキシャル層4を形成する(同図(A))。エピタキシャル層4はシリコン中に不純物としてリンを $1 \times 10^{18} / \text{cm}^3$ 含んでおり、接合深さは $1.4 \mu\text{m}$ である。

エピタキシャル層4をCMOS部、NPNトランジスタ部及びウエルピンチ抵抗部に分離するためにP⁺分離領域22を形成し、CMOS部とウエルピンチ抵抗部に不純物としてボロンを $4 \times 10^{18} / \text{cm}^3$ 拡散してウエル6を形成する(同図(B))。ウエル6の接合深さは $6.5 \mu\text{m}$ である。

次に、CMOS部のPチャネルMOSトランジスタ用のソース・ドレイン24、26及びNPNトランジスタ部のベース28のために、不純物としてボロンを $1.6 \times 10^{18} / \text{cm}^3$ 拡散する(同図(C))。接合深さは $2.1 \mu\text{m}$ である。

次に、CMOS部のNチャネルMOSトランジ

スタ用のソース・ドレイン30、32、NPNトランジスタ部のエミッタ34、コレクタコンタクト36及びウエルピンチ抵抗部の拡散層8のために、不純物としてリンを $8 \times 10^{18} / \text{cm}^3$ 拡散する(同図(D))。接合深さは $1.7 \mu\text{m}$ である。

次に、CMOS部のゲート絶縁膜及びゲート電極38、40を形成し、絶縁膜14を形成し、コンタクトホールを開け、メタル層を形成してウエルピンチ抵抗部の端子10、12と配線をはじめ、CMOS部及びNPNトランジスタ部の端子と配線を形成する(同図(E))。

本実施例によるウエルピンチ抵抗素子と、従来のベースピンチ抵抗素子及びウエル抵抗素子の層抵抗の比較を第3図及び第4図に示す。各抵抗素子の幅は $6 \mu\text{m}$ に形成されている。

一般に集積度の点からは、抵抗素子は回路中の最高電位V⁺の島に配置される。第3図はその最高電位が5Vの場合の層抵抗における端子間印加電圧特性を表わすものである。

また、抵抗端子間に V^* 以上の電圧がかかる場合には、その抵抗を単独の島に分離し、かつ、島の電位を抵抗の高電位側の端子に接続する。第4図はその場合の層抵抗における端子間印加電圧特性を表わすものである。

第3図及び第4図からわかるように、ウエルピンチ抵抗はウエル抵抗に比べ約3倍の層抵抗値を持っており、またベースピンチ抵抗より遙かに小さな印加電圧依存性しか持っていない。

また、他の重要な点は、ベースピンチ抵抗の耐圧がベース・エミッタ間のブレイクダウン電圧（約8V）であるのに対し、ウエルピンチ抵抗ではウエル・エミッタ間のブレイクダウン電圧（約25V）であることである。25Vという耐圧は通常のシステムでは十分な値である。

ウエルピンチ抵抗素子、ベースピンチ抵抗素子及びPウエル抵抗素子の特性の比較を下表に示す。

項目	抵抗素子の種類		
	Pウエル	ウエルピンチ	ベースピンチ
パターン面積	大(15~30)	中(8~10)	小(1)
耐圧	大(100V)	中(25V)	小(8V)
印加電圧依存性	小	中	大
精度	僅 ($\pm 15\%$)	良 ($\pm 20\%$)	劣 (+100%, -50%)

表中のパターン面積は同じ抵抗値を得るために必要な面積であり、層抵抗値に反比例する。

以上の実施例ではウエルピンチ抵抗素子をエビタキシャル層中に形成しているが、シリコン基板中に形成することもできる。

また、各層の導電型を実施例のものとは逆にすることもできる。

(効果)

本発明によるウエルピンチ抵抗素子によれば、抵抗値（パターン面積）、耐圧特性、印加電圧依存性及び精度の全ての点において、アナログ回路で必要とされる抵抗素子の要求を満たすことができる。

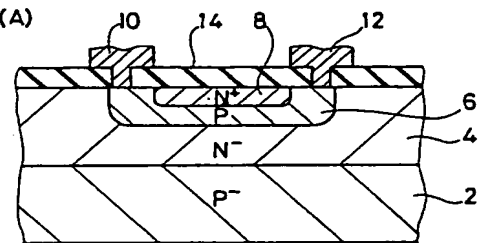
4. 図面の簡単な説明

第1図(A)は一実施例を両端子に沿った平面で切断して示す断面図、同図(B)は同実施例の拡散層を示す平面図、第2図(A)ないし同図(E)は同実施例の製造方法を素子の断面図として示す図（ただしハッチングは省略）、第3図及び第4図は各抵抗素子の印加電圧依存性を示す図である。

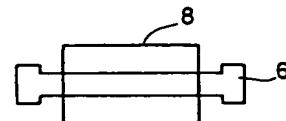
- 2 …… シリコン基板、
- 4 …… エビタキシャル層、
- 6 …… ウエル、
- 8 …… 拡散層、

代理人 弁理士 野口繁雄

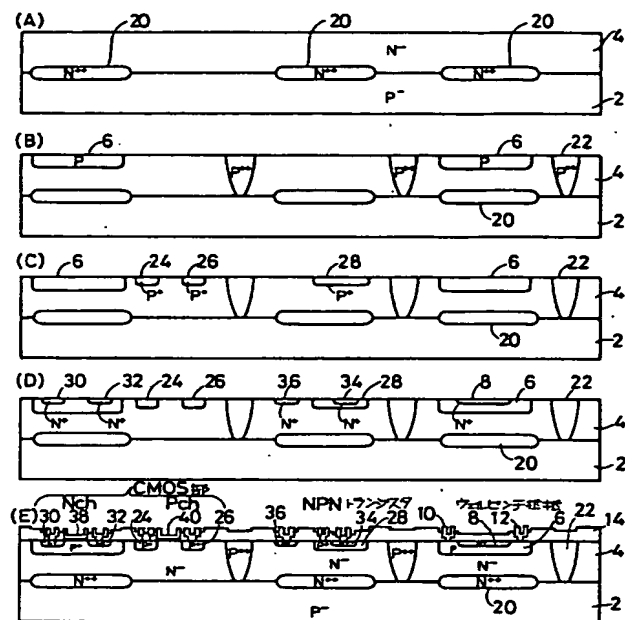
第1図(A)



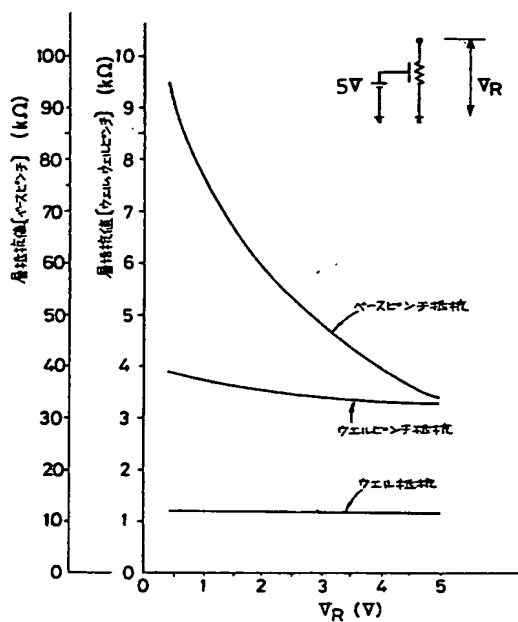
第1図(B)



第 2 図



第 3 図



第 4 図

